

【特許請求の範囲】**【請求項 1】**

撮像先端部および撮像本体部を含んで構成される撮像装置であって、

前記撮像先端部は、対物光学系、固体撮像素子、前記対物光学系を介して前記固体撮像素子により撮像された映像出力信号を処理する撮像処理回路、および発光素子を備え、前記処理された映像出力信号を前記発光素子により光信号に変換し、

前記撮像本体部は映像処理部と制御部を有し、前記撮像先端部と光信号ケーブルを介して接続されており、

前記映像処理部は、受光素子、および前記光信号ケーブルを介して前記撮像先端部から伝送され前記受光素子により受光される前記光信号を映像信号に復号する信号復号回路、および前記信号復号回路から出力される映像信号の出力形式を変換して映像表示手段に出力する信号処理回路を備え、

前記制御部は、前記発光素子の駆動電流を変更する制御命令を出力する制御回路を単独で備え、前記制御命令が前記撮像先端部の前記発光素子の駆動回路へ所定の信号ケーブルを介して伝送されることで前記発光素子の駆動電流が制御されることを特徴とする撮像装置。

【請求項 2】

前記制御回路は、前記固体撮像素子のブランキング期間中に、前記発光素子の駆動電流の制御を行うことを特徴とする請求項 1 に記載の撮像装置。

【請求項 3】

前記撮像処理回路から出力され、前記発光素子、前記光信号ケーブル、および前記受光素子を介して伝送され、前記映像処理部で復号される所定のテストコードを自身が予め保持している基準コードと比較し、エラービットを検出するエラー検出回路を前記制御部に備え、前記検出されたエラービットの数に基づき前記制御回路が前記発光素子の駆動電流を変更する命令を出力することを特徴とする請求項 1 又は 2 に記載の撮像装置。

【請求項 4】

前記基準コードが、前記固体撮像素子に固有の黒レベルコードであることを特徴とする請求項 3 に記載の撮像装置。

【請求項 5】

前記エラー検出回路は、前記エラービットの数の検出を、前記固体撮像素子の各フレームの垂直ブランキング領域の水平ライン上で行うことを特徴とする請求項 3 に記載の撮像装置。

【請求項 6】

前記制御回路は、前記エラー検出回路により計測された前記エラービットの数が所定値以上の場合に、前記発光素子を駆動する駆動電流を増加させる命令を出力することを特徴とする請求項 3 から 5 の何れか一項に記載の撮像装置。

【請求項 7】

前記制御回路は、前記エラービットの数の多寡に応じて、前記発光素子を駆動する駆動電流の電流変化量を変更する命令を出力することを特徴とする請求項 6 に記載の撮像装置。

【請求項 8】

前記制御回路は、一定期間前記エラービットの数がゼロの場合に、前記発光素子を駆動する駆動電流を所定量だけ減少させる命令を出力することを特徴とする請求項 6 に記載の撮像装置。

【請求項 9】

請求項 1 から 8 の何れか一項に記載の撮像装置を備え、前記撮像装置から出力された前記映像信号を表示する前記映像表示手段を備えることを特徴とする電子内視鏡装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、撮像先端部に対物光学系及び固体撮像素子を有し、小型化が要求される電子内視鏡装置において、前記撮像先端部の装置を大型することなく最適な条件で映像出力信号を光信号で伝達する撮像装置に関する。

【背景技術】

【0002】

撮像先端部に対物光学系および固体撮像素子を有し、小型化が要求される代表的な装置である電子内視鏡装置は、撮像素子としてVGA(30万画素)のCCDが広く使われ、CCDからの撮像信号は撮像先端部に備えられたバッファアンプを介して撮像先端部から映像処理部の信号処理回路へ、十数本アナログ信号のまま電気配線で伝送されている。撮像先端部から映像処理部までの電気配線の長さは、撮像先端部が人体の胃、大腸などに挿入されるため2~4mと長くなり、アナログ信号の伝送時に他の医療機器から電気配線に混入されるノイズの影響、あるいは十数本のアナログ信号どうしで信号が干渉し映像が乱れたりすることがあった。

10

【0003】

これらを改善するため、従来、撮像素子にVGAのCMOSセンサを使用することが試みられている。CMOSセンサは受光素子の近くに増幅回路があり、またCMOSセンサLSIに内蔵されたA/Dコンバータ、P/S変換回路によって撮像信号をシリアル変換されたデジタル信号として出力できるので、耐ノイズ性の強い信号伝送ができるメリットがある。また駆動する電源も3V片電源で良いため、先端部と映像処理部の配線数も少なくできるメリットがある。

20

【0004】

近年は更に、高精細画素、高フレームレートで電子内視鏡装置を使用したいという要求が出てきている。

【0005】

例えば、VGA(640×480 30万画素)、30フレーム/秒のフレームレート、10ビット階調(1024段階)の色階調の場合、撮像信号を映像処理部に伝送するのに必要な伝送速度は、約92Mbpsであるが、近年の高精細画素、高フレームレートで電子内視鏡を使用したいという要求にこたえるためには、200万画素(1664画素×1236画素)、60フレーム/秒フレームレート、10ビット階調の場合で約1.2Gbpsの伝送レートが必要となる。しかし、先端部から映像処理部へデジタル映像信号を伝送する場合、200Mbps以上の伝送レートで伝送しようとする、周辺に放射されるEMIノイズが大きくなり、更に、デジタル伝送であっても信号のジッタが大きくなるため、信号品質が劣化して正確な伝送ができない。

30

【0006】

この問題の解決策の一つに、伝送路に光ファイバや光導波路を介して、電気信号ではなく光信号で映像信号を伝達する方法がある。この方法は高速化可能であり、かつEMIノイズの発生、混入が無いなどのメリットが有るため高速シリアル転送の分野で注目されている。

【0007】

下記特許文献1に記載されている、従来の電子内視鏡の概略的な回路構成を図7に示す。ここに示された電子内視鏡装置は、挿入部705と操作部707とを備えたスコープ本体部709、及び当該スコープ本体部709と接続ケーブル部710で接続されたビデオプロセッサ部703を備えている。細長い筒状の挿入部705の先端にスコープ先端部713が、対物光学系715、固体撮像素子(CMOSセンサ)717を含む撮像手段を備えて配置されている。また、スコープ先端部713には固体撮像素子717に接近してまたは一体化してデジタル信号プロセッサ/タイミング発生器/同期信号発生器(DSP/TG/SG)719が配置されている。更に、スコープ先端部713にはパラレルシリアル(P/S)変換回路721及びパラレルシリアル変換回路の出力電気信号を光信号に変換する電/光変換器723が配置されている。

40

【0008】

50

この構成では、固体撮像素子 717 からの映像出力信号は一旦光信号に変換され、光信号ケーブル 711 を介してスコープ先端部 709 からビデオプロセッサ部 703 の信号処理部に伝送している。

【0009】

しかし、図 7 の電 / 光変換器 123 で発光素子として一般的に使われる面発光型半導体レーザ V C S E L (V e r t i c a l - C a v i t y S u r f a c e - E m i t t i n g L a s e r d i o d e) は、必要駆動電流の素子ばらつきが大きく、温度依存性も大きいことが知られている。これらを考慮して V C S E L を駆動させるためには駆動電流を予め大きくしておく必要がある。

【0010】

V C S E L を通信分野等の光源に用いる場合、通信エラー等を抑制するためには一定以上の光出力が必要な一方で、アイセーフの観点から光出力を一定以下に抑える必要がある。V C S E L の駆動方法には、定電流駆動 (A C C) と定電力駆動 (A P C) の二種類がある。A C C 駆動は、駆動電流が一定であるためレーザ光の発振を安定化させるが、温度変化により光出力が変動するという欠点があるので、一般に A P C 駆動が使われる。A P C 駆動は、V C S E L の温度が上昇すると、光出力が低下するため駆動電流を増加させて光出力を上げ、温度が低下すると、光出力が上昇するため駆動電流を低下させて光出力を下げるような駆動制御を行う。

【0011】

また、V C S E L は、他の半導体レーザ装置と同様に、製造工程において個々の光出力特性にばらつきが生じるが、V C S E L の特性ばらつきが駆動回路の許容範囲を超えている場合、A P C 駆動では当該特性ばらつきを是正できない。

【0012】

A P C 駆動以外の方法で V C S E L の駆動電流を制御する方法は、下記特許文献 2 において提案されている。

【0013】

この方法は、送信側、受信側とも同じ制御回路を持ち、光信号ケーブルを 2 本用いて、送信側の装置からあるテストパターンを受信側に光信号ケーブルで送信し、受信側はそのテストパターンをもう一本の光信号ケーブルを介して送信側に送信し、送信側は受信側から受信したテストパターンと送信したテストパターンを比較し、異なったテストパターンであれば V C S E L を駆動する電流を上げる制御を行い、テストパターンが一致したら当該制御を止める、というものである。

【0014】

【特許文献 1】特開 2006 - 181021 号公報

【特許文献 2】特開 2000 - 68938 号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

発光素子として一般的に使われる V C S E L は必要駆動電流の素子ばらつきが大きい、温度依存性が大きいことが知られている。特許文献 1 では上記素子ばらつき及び温度依存性を考慮していないので、V C S E L を駆動させるドライバの電流を素子ばらつき、温度依存性を考慮して大きくする必要があり、無駄な消費電力が必要で、かつ不要な E M I ノイズ放射が発生し、撮像先端部の撮像素子などの回路、周辺医療機器への悪影響、及び人体への悪影響の原因となる。また撮像先端部の回路は樹脂で密閉されるので回路動作による温度上昇に伴い、V C S E L の光出力が低下し、伝送エラーの原因になる。

【0016】

V C S E L の光出力の低下による伝送エラーの解決方法として、前述の A P C 駆動がある。A P C 駆動は、V C S E L の温度が上昇すると光出力が低下するため駆動電流を増加させて光出力を上げ、温度が低下すると光出力が上昇するため駆動電流を低下させて光出力を下げるような駆動制御を行う。しかしながら、V C S E L は、製造工程において個々

10

20

30

40

50

の光出力特性にばらつきが生じるが、その特性ばらつきが駆動回路の許容範囲を超えている場合はA P C 駆動では補正できない。

【 0 0 1 7 】

A P C 駆動以外の方法でV C S E L の駆動電流を制御する方法として提案されている特許文献 2 の方法では、送信側と受信側両方の装置で同じV C S E L 駆動電流の制御回路が必要となる。しかしながら撮像先端部に対物光学系及び固体撮像素子に加えて更に制御回路を組み込むことは、撮像先端部の小型化が要求される装置、例えば電子内視鏡装置では使用が困難である。

【 0 0 1 8 】

本発明の目的は、撮像先端部の装置を大型化することなく、素子ばらつき及び温度依存性を考慮した最適な条件で発光素子を駆動制御し、小型、低消費電力でE M I ノイズの少なく、周辺への悪影響の少ない撮像装置を提供することである。

【課題を解決するための手段】

【 0 0 1 9 】

上記目的を達成するための本発明に係る撮像装置は、撮像先端部および撮像本体部を含んで構成される撮像装置であって、前記撮像先端部は、対物光学系、固体撮像素子、前記対物光学系を介して前記固体撮像素子により撮像された映像出力信号を処理する撮像処理回路、および発光素子を備え、前記映像処理された出力信号を前記発光素子により光信号に変換し、前記撮像本体部は映像処理部と制御部を有し、前記撮像先端部と光信号ケーブルを介して接続されており、前記映像処理部は、受光素子、および前記光信号ケーブルを介して前記撮像先端部から伝送され前記受光素子により受光される前記光信号を映像信号に復号する信号復号回路、および前記信号復号回路から出力される映像信号の出力形式を変換して映像表示手段に出力する信号処理回路を備え、前記制御部は、前記発光素子の駆動電流を変更する制御命令を出力する制御回路を単独で備え、前記制御命令が前記撮像先端部の前記発光素子の駆動回路へ所定の信号ケーブルを介して伝送されることで前記発光素子の駆動電流が制御されることを第 1 の特徴とする。

【 0 0 2 0 】

本発明に係る撮像装置の上記第 1 の特徴構成によれば、発光素子の駆動電流を単独で制御する為の制御部を撮像本体部に設け、所定の信号ケーブルを用いて制御命令を撮像先端部に伝送するため、撮像先端部に発光素子の駆動電流の制御回路を別途設ける必要はないので、撮像先端部の回路規模を大きくすることなく、発光素子の駆動電流を制御することができる。特に発光素子としてV C S E L を用いる場合には、撮像先端部の回路規模を大きくすることがないばかりか、尚且つ素子ばらつき及び温度依存性を考慮して、最適な条件で発光素子を駆動制御することが可能になる。

【 0 0 2 1 】

また、本発明に係る撮像装置は、上記第 1 の特徴に加えて、前記制御回路は、前記固体撮像素子のブランキング期間中に、前記発光素子の駆動電流の制御を行うことを特徴とすることを第 2 の特徴とする。

【 0 0 2 2 】

本発明に係る撮像装置の上記第 2 の特徴構成によれば、映像に関係ない固体撮像素子のブランキング期間中に発光素子の駆動電流の制御を行うため、実際に撮像される映像の内容が変更を受けることはない。

【 0 0 2 3 】

更に、本発明に係る撮像装置は、上記第 1 又は第 2 の何れかの特徴に加えて、前記撮像処理回路から出力され、前記発光素子、前記光信号ケーブル、および前記受光素子を介して伝送され、前記映像処理部で復号される所定のテストコードを自身が予め保持している基準コードと比較し、エラービットを検出するエラー検出回路を前記制御部に備え、前記検出されたエラービットの数に基づき前記制御回路が前記発光素子の駆動電流を変更する命令を出力することを第 3 の特徴とする。

【 0 0 2 4 】

更に、本発明に係る撮像装置は、上記第３の特徴に加えて、前記基準コードが、前記固体撮像素子に固有の黒レベルコードであることを第４の特徴とする。

【００２５】

更に、本発明に係る撮像装置は、上記第３の特徴に加えて、前記エラー検出回路は、前記エラービットの数の検出を、前記固体撮像素子の各フレームの垂直ブランキング領域の水平ライン上で行うことを第５の特徴とする。

【００２６】

本発明に係る撮像装置の上記第３から第５の何れかの特徴構成によれば、制御部のエラー検出回路が基準となるテストコードを予め保持しており、撮像先端部から映像処理部へ伝送され、復号されたテストコードと当該基準コードを比較し、伝送エラーの有無に従って発光素子の駆動電流を上昇させるべきか否かを判断する。これにより、テストコードの送受信は撮像先端部から映像処理部への一方向のみで十分であり、送信側と受信側両方の装置で発光素子の駆動電流を制御するための制御回路を用意する必要はない。尚、比較対象となるテストコードとしては固体撮像素子に固有の黒レベルコードであることが望ましく、エラービット数の検出は固体撮像素子の各フレームの、垂直ブランキング領域の水平ライン上で行うことが望ましい。

【００２７】

また、本発明に係る撮像装置は、上記第３から第５の何れかの特徴に加えて、前記エラー検出回路により計測された前記エラービットの数が所定値以上の場合に、前記発光素子を駆動する駆動電流を増加させる命令を出力することを第６の特徴とする。

【００２８】

また、本発明に係る撮像装置は、上記第６の特徴に加えて、前記エラービットの数の多寡に応じて、前記発光素子を駆動する駆動電流の電流変化量を変更する命令を出力することを第７の特徴とする。

【００２９】

また、本発明に係る撮像装置は、上記第６の特徴に加えて、前記制御回路は、一定期間前記エラービットの数がゼロの場合に、前記発光素子を駆動する駆動電流を所定量だけ減少させる命令を出力することを第８の特徴とする。

【００３０】

本発明に係る撮像装置の上記第６から第７の何れかの特徴構成によれば、検出されたエラービットの数に応じて、発光素子の駆動電流を制御するので、発光素子の温度上昇による伝送エラーが無くなるように駆動電流の最適化が出来る。更に、上記第８の特徴構成によれば、発光素子の駆動電流を下げる制御機構を併せて持つことにより、撮像先端部の先端部の消費電流を下げ、また不要なＥＭＩノイズ放射を抑えることができる。

【００３１】

また、本発明に係る電子内視鏡装置は、上記第１から第８の何れかの特徴構成の撮像装置を備え、前記撮像装置から出力された前記映像信号を表示する前記映像表示手段を備えることを第９の特徴とする。

【００３２】

本発明に係る電子内視鏡装置の上記第９の特徴構成によれば、小型、低消費電力でＥＭＩノイズの少なく、結果、人体への影響が少ない電子内視鏡装置を提供することができる。

【発明の効果】

【００３３】

以上詳細に説明したように、本発明の撮像装置によれば、先端部の装置を大型化することなく、発光素子の個体差ばらつきと温度特性を考慮した最適な駆動電流で発光素子を駆動することができ、これにより撮像先端部の消費電流を下げるができる。更に、撮像先端部の回路規模を大きくすることなく、撮像先端部から映像処理部へ光信号伝送時の伝送エラーを低減させることができる。また撮像先端部のＶＣＳＥＬを駆動する電流による不要なＥＭＩノイズが無くなり、撮像素子などの撮像先端部の回路、周辺機器への悪影響

10

20

30

40

50

がなくなる。本発明を電子内視鏡装置に使用する場合には、人体に与える悪影響も少なくて済む。

【発明を実施するための最良の形態】

【0034】

以下において、本発明に係る撮像装置の実施形態につき、図面を参照して説明する。

【0035】

< 第1実施形態 >

図1に示されるように、本発明に係る撮像装置の第1実施形態は撮像先端部101、および映像処理部102と制御部103を有する撮像本体部104を含んで構成されている。撮像先端部101は、対物光学系(レンズ)105と、固体撮像素子(CMOSイメージセンサ、CIS)106と、A/Dコンバータ107、デジタル信号プロセッサ(ISP)108、パラレル シリアル変換回路(P/S)109、位相同期回路(PLL)110、8B10Bエンコーダ111からなる撮像処理回路と、撮像処理回路により処理された映像出力信号を光信号に変換する発光素子(VCSL)112を備えている。更に、撮像先端部101は、発光素子112に映像信号と駆動電流を送り、発光素子112の駆動を制御する駆動回路113と、駆動回路113の駆動電流調整用のバイアス電圧を供給するバイアス回路114と、撮像本体部104内の制御回路から出力され、撮像先端部に伝送された制御命令を受信するレシーバ115と、レギュレータ116を備えて構成されている。固体撮像素子106、A/Dコンバータ107、デジタル信号プロセッサ108、パラレル シリアル変換回路109、位相同期回路110、8B10Bエンコーダ111、バイアス回路114、発光素子の駆動回路113、レシーバ115、レギュレータ116は本実施形態ではCMOSセンサLSI117として1チップ化されているが、これらは1チップ化されていなくても良く、それぞれが近傍に配置されモジュール化されたものであっても構わない。

【0036】

対物光学系105を介して固体撮像素子106により撮像された映像出力信号は、A/Dコンバータ107によりデジタル信号に変換された後、デジタル信号プロセッサ(ISP)108により処理される。当該処理された映像信号はパラレル シリアル変換回路109によりシリアル信号に変換される。位相同期回路110は、パラレル シリアル変換回路109がパラレル シリアル変換する際の同期クロックを供給する。8B10Bエンコーダ111は、当該シリアル信号に対し符号化処理を施して、8B/10B符号化処理されたシリアル信号から当該同期クロックを分離可能にして出力する。上記の撮像処理された映像出力信号は、駆動回路113へ送られ、発光素子112により光信号に変換され、光信号ケーブル(POF)121を介して撮像本体部の信号復号回路へ伝送される。

【0037】

ここで、固体撮像素子106の映像データをデジタルに変換するA/Dコンバータ107は、固体撮像素子106が持っている黒レベルコードなどのデジタルのテストコードを、予め制御部103の制御回路130からの命令により出力可能になっている。出力されたテストコードは、デジタル信号プロセッサ108を介さずパラレル シリアル変換回路109でシリアルデータに変換され、8B/10B符号化後、駆動回路113へ信号が送られる。

【0038】

映像処理部102は、撮像先端部101から光信号ケーブル(POF)121を介して送られた光信号を受光し、電気信号に変換する受光素子である光ダイオード(PD)122と、増幅回路であるTIA(Transimpedance Amplifier)123、LA(Limiting Amplifier)124、CDR(Clock and Data Recovery)回路125、位相同期回路(PLL)126、シリアル パラレル変換回路(S/P)127、8B10Bデコーダ128からなる信号復号回路と、復号化された映像信号を表示処理し、出力データを映像表示手段(テレビモニタ等)に出力する信号処理回路129で構成されている。

10

20

30

40

50

【 0 0 3 9 】

光ダイオード 1 2 2 により受光され、電気信号に変換された映像信号は、増幅回路 T I A 1 2 3、L A 1 2 4 により C D R 回路 1 2 5 で信号を分離できる程度まで増幅される。C D R 回路 1 2 5 は、当該増幅されたシリアル信号をクロック信号 (8 B 1 0 B エンコーダ 1 1 1 で付加された同期クロック) とデータ信号に分離し、クロック信号のみを取り出して位相同期回路 1 2 6 に送る。位相同期回路 1 2 6 は、当該クロックに同期した内部クロックを生成し、当該同期クロックをシリアル パラレル変換回路 1 2 7 に渡す。シリアル パラレル変換回路 1 2 7 は、当該同期クロックに基づいてシリアルデータ信号をパラレル信号に変換する。この時点でのパラレル信号は 8 B / 1 0 B 符号化されているので、8 B 1 0 B デコーダ 1 2 8 が、当該 8 B / 1 0 B 符号化されたパラレル信号を 8 B / 1 0 B 復号化する。8 B / 1 0 B 復号化された映像信号は、信号処理回路 1 2 9 により映像表示手段 (テレビモニタ等) の表示に適するように出力形式が変換され、当該映像表示手段に出力される。

10

【 0 0 4 0 】

制御部 1 0 3 は、制御回路 1 3 0 とエラー検出回路 1 3 1 を備えている。V C S E L 1 1 2 の駆動電流を制御する場合において、撮像先端部 1 0 1 からテストコードが伝送され、映像処理部の T I A 1 2 3、L A 1 2 4、C D R 回路 1 2 5、位相同期回路 1 2 6、シリアル パラレル変換回路 1 2 7、8 B 1 0 B デコーダ 1 2 8 によりテストコードが復号化されると、当該復号されたテストコードは信号処理回路 1 2 9 と同時にエラー検出回路 1 3 1 にも送られる。エラー検出回路 1 3 1 は、予め撮像先端部から送られるテストコードと同一の基準コードを保持しており、8 B 1 0 B デコーダ 1 2 8 により復号化されたテストコードと基準コードとを比較して誤り (エラー) の有無を判定し、エラーと判定されたビット数を制御回路 1 3 0 に送る。制御回路 1 3 0 は、エラー検出回路 1 3 1 により測定されたエラービット数の多寡に応じて、V C S E L 1 1 2 の駆動電流を変更する命令を出力する。当該命令は I² C (I n t e r - I n t e g r a t e d C i r c u i t) ケーブル 1 3 2 を介して撮像先端部のレシーバ回路 1 1 5 へ送られた後、C M O S センサ L S I 1 1 7 内の I² C バスを介して A / D コンバータ 1 0 7、バイアス回路 1 1 4 等該当する回路へ伝送される。

20

【 0 0 4 1 】

尚、I² C 命令の伝送に係る周波数帯域は 5 0 0 K H z 程度と低いので、I² C ケーブルを介した制御命令の伝送時に E M I ノイズが発生して、制御命令が正しく受信できなくなることはない。但し、撮像先端部 1 0 1 と制御部 1 0 3 の間に細線同軸ケーブル又はフレキシブルプリント基板がクロック用、データ用として必要である。

30

【 0 0 4 2 】

尚、本実施形態では映像処理部 1 0 2 と制御部 1 0 3 は同一のプリント基板上に搭載され、或いは 1 チップ化されているが、制御部 1 0 2 と映像処理部 1 0 3 は夫々別構成になっていても構わない。

【 0 0 4 3 】

また、図 1 には電源が描かれていないが、例えば 3 V の電源配線とグランド (0 V) 配線の 2 本を映像処理部から撮像先端部へと配線し、若しくはフレキシブルプリント基板で供給すれば良い。撮像先端部に供給された 3 V 電源から、撮像先端部のレギュレータ 1 1 6 で低電圧の電源電圧を作ることができ、撮像先端部のロジック回路を低電圧で動作させることが可能である。

40

【 0 0 4 4 】

次に、本発明に係る撮像装置の動作について説明する。尚、必要に応じて図 1 の回路構成を参照して説明する。

【 0 0 4 5 】

図 1 において、映像処理部 1 0 2 の電源が O N されると、3 V 電源とグランド (0 V) が映像処理部 1 0 2 から撮像先端部 1 0 1 へと供給される。C M O S センサ L S I 1 1 7 に内蔵されたレギュレータ 1 1 6 は、3 V から 1 . 8 V 程度に降圧した電圧を C M O S セ

50

ンサ L S I 117 に内蔵されているデジタル信号プロセッサ (I S P) 108、パラレルシリアル変換回路 (P / S) 109、位相同期回路 (P L L) 110、8 B 10 B エンコーダ 111 等へ供給する。制御部 103 の制御回路 130 から撮像先端部への C M O S センサ L S I 117 内の回路が動作する設定の命令は、I²C ケーブル 132 を介して行われ、V C S E L 112 を駆動する電流についてもある設定で駆動されるようにバイアス回路 114 に命令がなされる。V C S E L 112 は固体撮像素子 106 によって撮像されたデータを映像処理部へ電気/光変換を行って光信号として伝送する。

【0046】

C M O S センサ L S I 117 が出力するフレームのデータフォーマットは例えば図 2 のようになる。フレームの先頭は、S O F (S t a r t O f F r a m e) 200 として所定のコード F F 0 0 0 0 0 2 (16 進数) が出力され、その後 1 ライン目の撮像データ 201 が出力され、E O L (E n d O f L i n e) 202 の所定のコード F F 0 0 0 0 0 1 (16 進数) が出力され、その次に 1 ライン目の水平ブランキング領域 203 が出力される。この後に 2 ライン目の S O L (S t a r t O f L i n e) 204 のコード F F 0 0 0 0 0 0 (16 進数)、2 ライン目の撮像データ 205、2 ライン目の E O L 206、2 ライン目の水平ブランキング領域 207 と出力される。最終 L i n e の 1236 ライン 208 の撮像データの出力が終わると、フレームの終わりを示す E O F (E n d O f F r a m e) 209 のコード F F 0 0 0 0 0 3 (16 進数) が出力され、垂直ブランキング領域 210 が数ライン続く。尚、撮像データ領域 211、水平ブランキング領域 203、207、212、垂直ブランキング領域 210 は設定によって任意に領域の範囲の選択が出来る。映像処理部の信号処理回路は、このフレーム内の S O F 200、E O F 209 のフレーム同期信号、S O L 204、213、E O L 202、206、214 のライン同期信号を同期信号として受け取って画像を映像表示手段 (テレビモニタ等) に表示させる。

【0047】

図 3 に最初に電源が O N された時の、最初の 1 フレーム目の V S C E L 112 の駆動電流の制御方法を示す。最初に撮像先端部 101 へ電源の供給がされ、V C S E L 112 を駆動する電流を設定する時は、前述の同期コード S O F、E O F、S O L、E O L が正しく出力されるように、余裕をもった電流設定で V C S E L 112 を駆動させる必要がある。

【0048】

そこで、撮像先端部へ電源の供給がされた (# 001) 後最初の 1 フレーム目の S O F ~ E O F までは、余裕をもった電流設定 (例えば、V S C E L がエラー無く光信号を出力するのに十分とされる、中程度の駆動電流量) で V C S E L 112 を駆動させる (# 002)。制御部 103 のエラー検出回路 131 が 1 フレーム目の E O F を検出する (# 003) と、制御回路 130 は V C S E L 112 を駆動する電流を M I N (設定上の最小値) に設定する命令を出力する (# 004)。

【0049】

同時に、制御回路 130 は、撮像素子の持つ 10 ビットの黒レベルコードを C M O S センサ L S I 117 の A / D コンバータ 107 を介して出力させるように命令を出し、結果、撮像先端部 101 から映像処理部 102 へ黒レベルコードが光信号ケーブル 121 を介して伝送される。

【0050】

この時は、V C S E L 112 の駆動電流が M I N のため、映像処理部 102 に伝送された黒レベルコードはエラーが含まれている可能性が高い。エラー検出回路 131 は、予め固体撮像素子の持つ黒レベルコードと同一の基準コードを保持しており、撮像先端部 101 から伝送されてきた 10 ビットの黒レベルコードと比較して (# 005)、何ビット誤っているか、エラービット数をカウントして、当該エラービット数をエラー検出回路 131 内の第 1 電流制御カウンタに加算する処理を行う (# 006)。

【0051】

10

20

30

40

50

その後、制御回路 130 は、撮像素子の持つ 10 ビットの黒レベルコードを CMOS センサ LSI 117 の A/D コンバータ 107 を介して出力させるように再度命令を出し、結果、撮像先端部 101 から映像処理部 102 へ黒レベルコードが再度光信号ケーブル 121 を介して伝送される。エラー検出回路 131 は、撮像先端部 101 から伝送されてきた 10 ビットの黒レベルコードと自身の持つ基準コードと比較して、誤りが有ればエラービット数をエラー検出回路 131 内の第 1 電流制御カウンタに加算する。

【0052】

上記の、黒レベルコードの比較と、エラービット数を第 1 電流制御カウンタに加える動作を例えば 160 回（160 画素分で 160 画素 × 10 ビット階調 = 1,600 ビット）繰り返した後、エラー検出回路 131 は、第 1 電流制御カウンタに記憶されている累積エラービット数を制御回路 130 へ送る。制御回路 130 は、累積エラービット数が所定値以上の場合（例えば 1 以上）（#007）、エラー検出回路 131 で判定された累積エラービット数の多寡、即ち第 1 電流制御カウンタの値の大小に応じて、VCSSEL112 の駆動電流を段階的に引き上げる命令をバイアス回路 114 に対して出力する（#008）。段階制御の方法については、例として、累積エラービット数が 10 以上であれば駆動電流の設定値を 3 段階引き上げ、2 ~ 9 ビットであれば 2 段階引き上げ、1 ビットであれば 1 段階引き上げる方法、等が挙げられる。

10

【0053】

上記の段階制御の例に従うと、1600 ビットの比較の結果、累積エラービット数が 100 ビットあったとすると、制御回路 130 は、撮像先端部 101 の VCSSEL112 の駆動電流の設定値を 3 段階引き上げる命令を出力してバイアス回路 114 に送る。結果、VCSSEL112 は電流設定が 3 段階大きくされた電流で駆動される。エラー検出回路 131 は、10 ビットの黒レベルコードを自身が持っている基準コードと再度比較し、1,600 ビットの比較の結果、累積エラービット数を制御回路 130 へ送る。例えば、8 ビットのエラービットがあったとすると、制御回路 130 は、更に VCSSEL112 の駆動電流の設定値を 2 段階上げる命令をバイアス回路 114 に対して出力し、VCSSEL112 は更に 2 段階引き上げられた電流で駆動される。

20

【0054】

このように、1,600 ビットのコンペア、電流設定を上げるといった動作を 1 ラインで 10 回程度行うことができ、設定によっては垂直ブランキング期間で最大 300 回程度は繰り返すことが可能である。

30

【0055】

200 万画素、60 フレーム/秒のフレームレート、10 ビット階調の場合、伝送速度は、約 1.2 Gbps であり、1 ライン分のデータの伝送速度は、 $1.2 \text{ Gbps} \div 10 \div 1236 = 100 \text{ Kbps}$ 、50 KHz である。I²C バスで使用される周波数帯域は 500 KHz 程度なので、1 ラインで最大 10 回程度 VCSSEL 駆動電流の調整ができる。

【0056】

これにより、電流設定を上げるといった動作を 1 ラインで 10 回程度行うことができるので、1 ~ 2 ラインで、撮像先端部 101 から送られる黒レベルコードとのエラービットが 0 になるように、VCSSEL112 の駆動電流値を調整することが可能である。

40

【0057】

2 フレーム目の S OF をエラー検出回路 131 で検出すると、前回設定された駆動電流で VCSSEL112 が駆動され、2 フレーム以降の撮像データが映像処理部 102 へ伝送される。

【0058】

図 4 に 2 フレーム目以降の VCSSEL112 の駆動電流の制御方法を示す。この時、電流設定は前回の設定が保持されており、S OF が検出されると（#011）、S OF ~ E OF までは、前回の電流設定で VCSSEL112 は駆動される（#012）。E OF を検出したら（#013）、垂直ブランキング期間の 1 ~ 2 ラインで電流設定動作を再度行う

50

。まず、エラー検出回路 131 は 10 ビットの黒レベルコードを 160 回、自身の持つ基準コードと比較し（#014）、エラービット数を第 1 電流制御カウンタに加算する（#015）。1600 ビットの比較の後、エラー検出回路 131 は第 1 電流制御カウンタに記憶されている累積エラービット数を制御回路 130 へ送る。制御回路 130 は、累積エラービット数が所定値以上の場合（例えば 1 以上）（#016）、エラー検出回路 131 で判定された累積エラービット数の多寡、即ち第 1 電流制御カウンタの値の大小に応じて、VCSSEL112 の駆動電流を段階的に引き上げる命令をバイアス回路 114 に対して出力し（#017）、1 フレーム目と同様に、垂直ブランキング期間の 1 ~ 2 ラインで撮像先端部の VCSSEL112 を駆動する駆動電流の制御を行う。3 フレーム目以降も 2 フレーム目と同様の動作を繰り返す。

10

【0059】

但し、上記の、撮像データを映像処理部 102 に伝送しながら、垂直ブランキング期間の 1 ~ 2 ラインで撮像先端部の VCSSEL112 の駆動電流を上昇させる制御方法を繰り返し長時間行っていると、駆動電流設定が MAX（設定上の最大値）に至っている可能性があり、撮像先端部の先端部の消費電流が大きくなり、また不要な EMI ノイズ放射の原因となる。

【0060】

そこで、図 5 に示されるように、例えば 1000 フレーム間、一定期間連続してエラー検出回路 131 でエラービットが検出されない場合、駆動電流の設定値を所定量（例えば 1 段階分）だけ減少させるようにする。即ち、各フレームの電流設定期間において、エラービットが全く検出されなかった連続フレーム回数をエラー検出回路内の第 2 電流制御カウンタに保存しておく。SOF が検出され（#021）、SOF ~ EOF までは、前回の電流設定で VCSSEL112 は駆動される（#022）。EOF を検出したら（#023）、まず第 2 電流制御カウンタの値が 1000 を超えていないか確認し（#024）、第 2 電流制御カウンタが 1000 を超えている場合、エラー検出回路 131 は 1000 フレーム間連続してエラービットが検出されていないことを制御回路 130 に伝え、制御回路 130 は駆動電流の設定値を 1 段階下げる命令を撮像先端部 101 のバイアス回路 114 に対して出力する（#025）。その下げた電流設定でエラー検出回路は 10 ビットの黒レベルコードを 160 回比較し（#026）、エラービット数が有れば第 1 電流制御カウンタに加算する（#027）。1600 ビットの比較の結果、エラービットが発生し、累積エラービット数が所定値（例えば 1）以上になった場合は（#028）、エラー検出回路 131 で判定された累積エラービット数の多寡、即ち第 1 電流制御カウンタの値の大小に応じて、VCSSEL112 の駆動電流を段階的に引き上げる命令を制御回路 130 がバイアス回路 114 に対して出力し（#029）、再度 1600 ビットの比較を行い、垂直ブランキング期間の 1 ~ 2 ラインで撮像先端部の VCSSEL112 を駆動する駆動電流の制御を行う。最後に第 2 電流制御カウンタを 0 にリセットして（#030）電流設定を完了する。一方、1600 ビットの比較の結果、エラービットがない場合は下げた電流設定が保持され、第 2 電流制御カウンタの値を 1 だけ加算して（#031）電流設定を完了する。更に 1000 フレーム間連続してエラービットが検出されない場合、第 2 電流制御カウンタの値が 1000 となるので、制御回路 130 は電流の設定値を 1 段階下げる命令をバイアス回路 114 に対して出力する。

20

30

40

【0061】

今度は長い時間かけて、エラービットが発生するまで、電流を 1 段階ずつ下げることにし、その過程でエラービットが検出されれば、再度電流を上げる動作がなされる。最終的には、VCSSEL112 を駆動する電流設定は 1 段階の上昇と低下を繰り返す電流制御になる。その結果、撮像先端部 101 の VCSSEL112 を駆動される電流は最適化される。

【0062】

< 第二実施形態 >

図 6 に示されるように、本発明に係る撮像装置の第 2 実施形態は第 1 実施形態と同様、

50

撮像先端部 101、および映像処理部 102 と制御部 103 を有する撮像本体部 104 を含んで構成されている。第 1 実施形態との相違点は、制御部 103 の制御回路 130 により出力される、V S C E L 112 の駆動電流を変更する制御命令は、発光素子 (V S C E L) 133 を用いて光信号に変換され、撮像先端部に伝送される点である。

【0063】

撮像先端部 101 から撮像された映像信号を映像処理部に伝送するのに使用される P O F (光信号ケーブル) 121 が、V S C E L 112 の駆動電流を変更する制御命令を撮像先端部の回路に伝送する場合にも兼用されている。撮像先端部に当該光信号ケーブル 121 を介して伝送された制御命令は、撮像先端部の光ダイオード (P D) 118 により電気信号に変換され、増幅器 T I A 119、L A 120 が当該電気信号を増幅し、レシーバ回路 115 に送られた後、C M O S センサ L S I 117 内の I² C バスを介して A / D コンバータ 107、バイアス回路 114 等該当する回路へ伝送される。

10

【0064】

第 2 実施形態の撮像装置の動作方法、及び V S C E L 112 の駆動電流の制御方法については第 1 実施形態と同様であり、図 2 から図 5 に示されている。

【0065】

尚、上述の実施形態は本発明の好適な実施形態の一例である。本発明の実施形態はこれに限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々の変形実施が可能である。

20

【0066】

< 別実施形態 >

以下、本発明の別実施形態について説明する。

【0067】

< 1 >

上記の実施形態は、C M O S センサ L S I から出力させるテストコードを C M O S センサが予め持っている固有の黒レベルコードとした場合であるが、テストコードは制御部の制御回路により任意に設定可能である。但し、制御部のエラー検出回路も併せて同じテストコードの情報を持つ必要がある。

< 2 >

上記の実施形態では、V S C E L の駆動電流制御を行うタイミングを垂直ブランキング期間の 1 ~ 2 水平ライン上で行うことにしているが、将来高速な I² C によるデータ伝送が設定可能であれば、ある水平ブランキング期間の 1 部の領域で駆動電流の制御を行うことも可能である。

30

< 3 >

上記の実施形態では、V S C E L の駆動電流の制御方法として、黒レベルコードとの比較を 160 回行い、エラービット数が 10 以上であれば駆動電流の設定値を 3 段階引き上げ、2 ~ 9 ビットであれば 2 段階引き上げ、1 ビットであれば 1 段階引き上げという方法を例示したが、本発明はこれに限定されるものではない。これらテストコードの比較回数及び設定駆動電流の変更量については、固体撮像素子及び V S C E L の性能に応じて適宜設計すべき事項である。

40

< 4 >

同様に、上記の実施形態では、1000 フレーム間エラービットが発生しない場合に駆動電流の設定値を 1 段階引き下げる方法を例示しているが、本発明はこれに限定されるものではなく、どれだけ長時間エラービットが発生しない場合に駆動電流をどれだけ引き下げると良いかというのは、固体撮像素子及び V S C E L の性能に応じて適宜設計すべき事項である。

【産業上の利用可能性】

【0068】

本発明は、撮像先端部に対物光学系および固体撮像素子を有し小型化が要求される撮像装置において、前記撮像先端部の装置を大型化することなく最適な条件で映像出力信号を

50

光信号で伝送することが可能なため、医療用及び工業用の電子内視鏡装置、携帯電話、携帯情報端末、監視カメラなど対物光学系および固体撮像素子を有するあらゆる機器にて適用可能である。

【図面の簡単な説明】

【0069】

【図1】本発明の第1実施形態の撮像装置の構成を示すブロック図である。

【図2】本発明に係る固体撮像素子のデータフォーマットを示す図である。

【図3】本発明の撮像先端部のV S C E Lを駆動する電流の制御方法を示すフローチャートである。

【図4】本発明の撮像先端部のV S C E Lを駆動する電流の制御方法を示すフローチャートである。 10

【図5】本発明の撮像先端部のV S C E Lを駆動する電流の制御方法を示すフローチャートである。

【図6】本発明の第2実施形態の撮像装置の構成を示すブロック図である。

【図7】伝送路に光ファイバを用いた従来の電子内視鏡装置の構成を示すブロック図である。

【符号の説明】

【0070】

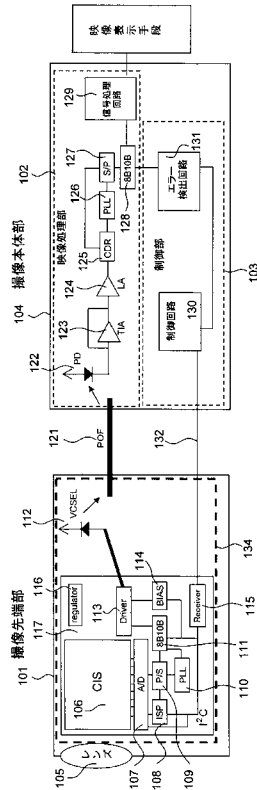
- 101：撮像先端部
- 102：映像処理部 20
- 103：制御部
- 104：撮像本体部
- 105：対物光学系（対物レンズ）
- 106：撮像素子（CMOSイメージセンサ）
- 107：A/Dコンバータ
- 108：デジタル信号プロセッサ（ISP）
- 109：P/S変換回路
- 110、126：PLL回路
- 111：8B10Bエンコーダ
- 112、133：V C S E L（発光素子） 30
- 113：発光素子の駆動回路
- 114：バイアス回路
- 115：レシーバ
- 116：レギュレータ
- 117：CMOSセンサLSI
- 118、122：光ダイオード
- 119、123：TIA
- 120、124：LA
- 121：光信号ケーブル（POF）
- 125：CDR回路 40
- 127：S/P変換回路
- 128：8B10Bデコーダ
- 129：信号処理回路
- 130：制御回路
- 131：エラー検出回路
- 132：I²C電気配線（クロック、データの2本）
- 134：撮像先端部回路
- 200：SOF（Start Of Frame）
- 201：1ライン目の撮像データ
- 202、206、214：EOL（End Of Line） 50

203 : 1ライン目の水平ブランキング領域
204、213 : SOL (Start Of Line)
205 : 2ライン目の撮像データ
207 : 2ライン目の水平ブランキング領域
208 : 1236ライン目の撮像データ
209 : EOF (End Of Frame)
210 : 垂直ブランキング領域
211 : 撮像領域
212 : 水平ブランキング領域
701 : スコープ部
703 : ビデオプロセッサ部
705 : 挿入部
707 : 操作部
709 : スコープ本体部
710 : 接続ケーブル部
711 : 光信号ケーブル
713 : スコープ先端部
715 : 対物光学系 (対物レンズ)
717 : 固体撮像素子 (CMOS センサー)
719 : DSP / TG / SG
721 : P / S 変換回路
723 : 電 / 光変換器
725 : 光コネクタ
727 : 光 / 電変換器
729 : S / P 変換回路
731 : 表示系信号処理回路

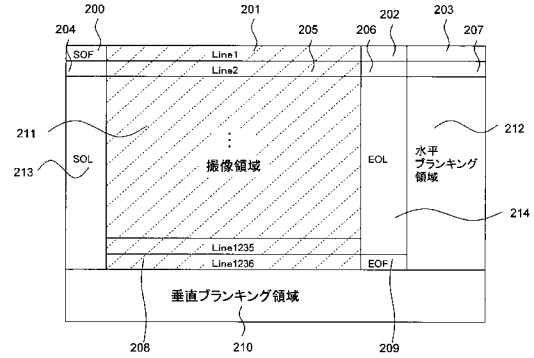
10

20

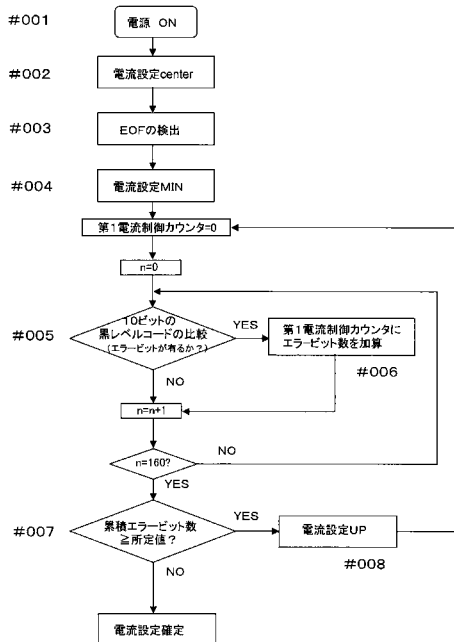
【図 1】



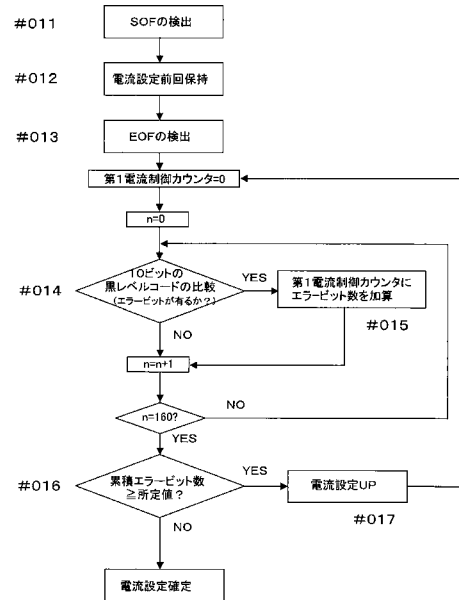
【図 2】



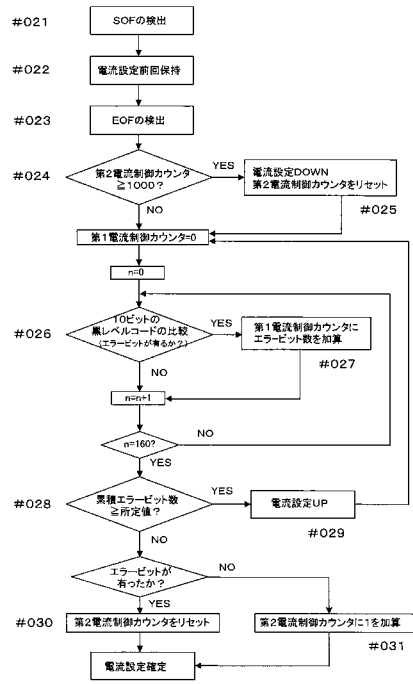
【図 3】



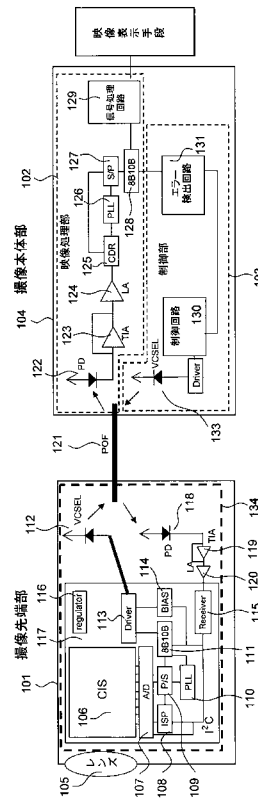
【図 4】



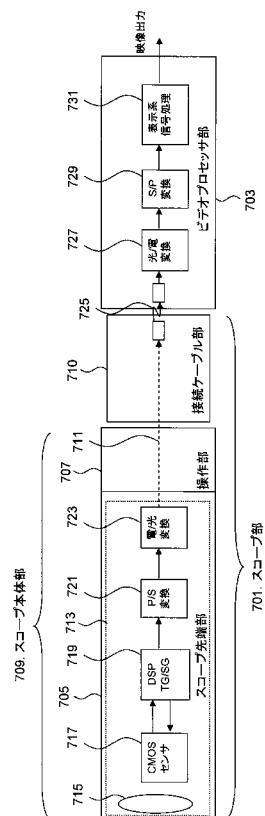
【図 5】



【図 6】



【図 7】



专利名称(译)	摄像装置		
公开(公告)号	JP2010051503A	公开(公告)日	2010-03-11
申请号	JP2008219030	申请日	2008-08-28
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	赤田博之		
发明人	赤田 博之		
IPC分类号	A61B1/04 H04N5/225		
CPC分类号	A61B1/00013 A61B1/00036		
FI分类号	A61B1/04.372 H04N5/225.C A61B1/00.681 A61B1/045.610 A61B1/045.611 A61B1/05 H04N5/225 H04N5/225.100 H04N5/225.430 H04N5/225.500 H04N5/225.700 H04N5/232.030 H04N5/232.290 H04N5/232.300 H04N5/232.411		
F-TERM分类号	4C061/CC06 4C061/JJ17 4C061/NN03 4C061/UU05 4C061/UU09 5C122/DA03 5C122/DA26 5C122/EA22 5C122/FC02 4C161/CC06 4C161/JJ17 4C161/NN03 4C161/UU05 4C161/UU09		
外部链接	Espacenet		

摘要(译)

提供一种成像装置，其通过考虑元件变化和温度依赖性来最佳地控制发光元件的驱动电流，从而尺寸小，功耗低，EMI噪声小并且对周边的不良影响小。 解决方案：将用于独立控制发光元件112的驱动电流的控制电路130和通过光信号电缆121从发光元件传输的预定测试代码与预先保存的参考代码进行比较。 控制单元103设置有测量错误位的数量的错误检测电路131，并且控制电路130在图像传感器的消隐时段期间响应由错误检测电路131测量的错误位的数量。 并且将用于改变发光元件的驱动电流的命令输出到发光元件的驱动电路。 [选型图]图1

